

PAT-NO: JP02000172736A
DOCUMENT-IDENTIFIER: JP 2000172736 A
TITLE: INTEGRATED CIRCUIT LAYOUT DESIGNING
DEVICE, INTEGRATED CIRCUIT LAYOUT DESIGNING METHOD AND
STORAGE MEDIUM WITH ITS CONTROL PROGRAM RECORDED THEREIN
PUBN-DATE: June 23, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
GOTO, TAKASHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP10349219

APPL-DATE: December 9, 1998

INT-CL (IPC): G06F017/50, H01L021/82

ABSTRACT:

PROBLEM TO BE SOLVED: To provide an integrated circuit layout designing device capable of improving the operation frequency of an LSI.

SOLUTION: A floor plan inputting/deciding means 1 inputs physical library information, connection information between groups and the size of each group and decides a floor plan. An inter-group wiring means 2 allows each inter-group wiring to pass an inter-group area according to the floor plan and

performs wiring. A relay buffer inserting means 3 refers to wiring between the groups and the signal flow of the inter-group wiring and inserts a relay buffer. A logical circuit changing means 4 adds and corrects the inserted relay buffer to intra-group/inter-group logical connection information. An intra-group logical circuit arrangement wiring means 5 gives an arrangement position constraint to the inserted relay buffer, gives a wiring length constraint to wiring passing in a group and performs the arrangement and wiring of a logical circuit in the group.

COPYRIGHT: (C) 2000, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-172736
(P2000-172736A)

(43) 公開日 平成12年6月23日 (2000.6.23)

(51) IntCl. ⁷	識別記号	F I	テマコード [*] (参考)
G 0 6 F 17/50		G 0 6 F 15/60	6 5 8 E 5 B 0 4 6
H 0 1 L 21/82		H 0 1 L 21/82	C 5 F 0 6 4

審査請求 有 請求項の数 8 O L (全 10 頁)

(21) 出願番号 特願平10-349219
(22) 出願日 平成10年12月9日 (1998.12.9)

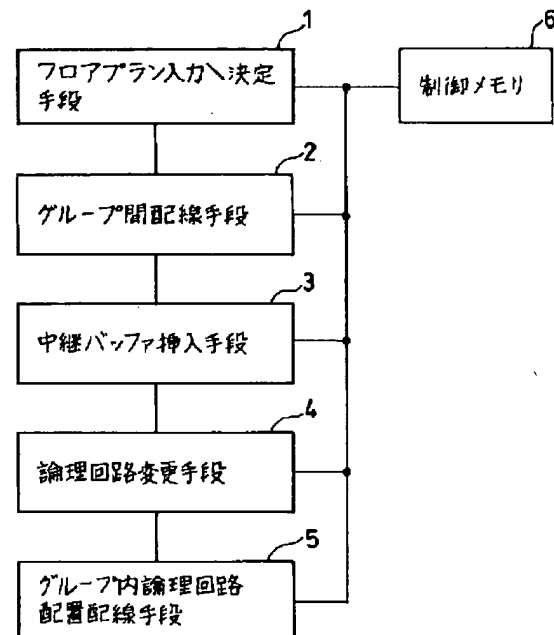
(71) 出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72) 発明者 後藤 崇
東京都港区芝五丁目7番1号 日本電気株式会社内
(74) 代理人 100088812
弁理士 ▲柳▼川 信
Fターム (参考) 5B046 AA08 BA05 BA06 KA06
5F064 BE26 DD05 DD07 DD10 DD20
EE06 EE08 HH12

(54) 【発明の名称】 集積回路レイアウト設計装置及び集積回路レイアウト設計方法並びにその制御プログラムを記録した記録媒体

(57) 【要約】

【課題】 L S I の動作周波数を向上可能な集積回路レイアウト設計装置を提供する。

【解決手段】 フロアプラン入力／決定手段1は物理ライブラリ情報とグループ間の接続情報と各グループの大きさとを入力し、フロアプランを決定する。グループ間配線手段2はフロアプランにしたがって各グループ間配線のグループ内領域の通過を許して配線を行う。中継バッファ挿入手段3はグループ間の配線、グループ間配線の信号の流れを参照して中継バッファを挿入する。論理回路変更手段4は挿入された中継バッファをグループ内／グループ間の論理接続情報に追加修正する。グループ内論理回路配置配線手段5は挿入された中継バッファに対する配置位置制約を与え、グループ内を通過する配線に配線長制約を与えてグループ内の論理回路の配置及び配線を行う。



【特許請求の範囲】

【請求項1】 集積回路を構成する複数のグループの形状と配置とその相互間の配線とに対するフロアプランを決定する手段と、前記複数のグループ内の論理回路の配置及びその論理回路相互間の配線を当該グループで使用されていない信号配線を含めて設計する手段と、前記グループを前記フロアプランに基づいて配置しかつ前記グループ内の使用されていない信号配線を利用して前記グループ相互間を結線する手段とを有し、前記グループ内に存在する論理回路の配置配線を行う際に前記グループ内を通過する配線に配線長制約を与えるよう構成したことを特徴とする集積回路レイアウト設計装置。

【請求項2】 前記グループ内の論理回路及び前記グループ外の論理回路を変更して前記グループ間の配線に対して中継バッファを挿入する手段を含むことを特徴とする請求項1記載の集積回路レイアウト設計装置。

【請求項3】 前記中継バッファを挿入する手段は、前記グループ間の配線とその配線の信号の流れとに基づいて前記中継バッファを挿入するよう構成したことを特徴とする請求項2記載の集積回路レイアウト設計装置。

【請求項4】 集積回路を構成する複数のグループの形状と配置とその相互間の配線とに対するフロアプランを決定するステップと、前記複数のグループ内の論理回路の配置及びその論理回路相互間の配線を当該グループで使用されていない信号配線を含めて設計するステップと、前記グループを前記フロアプランに基づいて配置しかつ前記グループ内の使用されていない信号配線を利用して前記グループ相互間を結線するステップとを有し、前記グループ内に存在する論理回路の配置配線を行う際に前記グループ内を通過する配線に配線長制約を与えるようにしたことを特徴とする集積回路レイアウト設計方法。

【請求項5】 前記グループ内の論理回路及び前記グループ外の論理回路を変更して前記グループ間の配線に対して中継バッファを挿入するステップを含むことを特徴とする請求項1記載の集積回路レイアウト設計方法。

【請求項6】 前記中継バッファを挿入するステップは、前記グループ間の配線とその配線の信号の流れとに基づいて前記中継バッファを挿入するようにしたことを特徴とする請求項5記載の集積回路レイアウト設計方法。

【請求項7】 コンピュータに、集積回路のレイアウト設計を行わせるための集積回路レイアウト設計制御プログラムを記録した記録媒体であって、前記集積回路レイアウト設計制御プログラムは前記コンピュータに、集積回路を構成する複数のグループの形状と配置とその相互間の配線とに対するフロアプランを決定させ、前記複数のグループ内の論理回路の配置及びその論理回路相互間の配線を当該グループで使用されていない信号配線を含めて設計させ、前記グループを前記フロアプランに基づ

いて配置させかつ前記グループ内の使用されていない信号配線を利用して前記グループ相互間を結線させ、前記グループ内に存在する論理回路の配置配線を行わせる際に前記グループ内を通過する配線に配線長制約を与えることを特徴とする集積回路レイアウト設計制御プログラムを記録した記録媒体。

【請求項8】 前記集積回路レイアウト設計制御プログラムは前記コンピュータに、前記グループ内の論理回路及び前記グループ外の論理回路を変更させて前記グループ間の配線に対して中継バッファを挿入させることを特徴とする請求項7記載の集積回路レイアウト設計制御プログラムを記録した記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は集積回路レイアウト設計装置及び集積回路レイアウト設計方法並びにその制御プログラムを記録した記録媒体に関し、特にLSI（大規模集積回路）のレイアウト設計方法に関する。

【0002】

【従来の技術】従来、この種のレイアウト設計方法としては、ビルディングブロック方式による集積回路の設計方法が特開昭64-84638号公報に記載されている。このビルディングブロック方式による集積回路の設計方法では、集積回路を構成する複数のグループの形状や配置、及びその相互間の配線に対するフロアプランを決定する手段と、各グループ内の論理回路の配置及びその論理回路相互間の配線をそのグループで使用されていない信号配線を含めてビルディングブロック方式によって設計する手段と、このグループをフロアプランに基づいて配置するとともに、グループ内の使用されていない信号配線を利用してグループの相互間を結線する手段とから構成されている。

【0003】上述したビルディングブロック方式による集積回路の設計方法では、まずグループの形状や配置、及びその相互間の配線に対するフロアプランを決定する時に、グループ内を通過する配線を許してフロアプランを作成する。続いて、グループ内における論理回路の配置及び配線を行う際、グループ内を通過する配線を含めて配置及び配線を行う。

【0004】このことによって、あるグループ間の配線も別のグループ内に含めて形成することができるので、グループ外の配線領域を削減し、チップサイズを縮小することが可能となる。また同時に、グループ内を通らずに迂回する配線も削減することができるので、集積回路の動作速度を高めることができる。

【0005】

【発明が解決しようとする課題】上述した従来のレイアウト設計方法では、グループ内に存在する論理回路の配置配線を行う際、グループ内を通過する配線とグループ内に閉じた配線とを区別しておらず、グループ内を通過

する配線がフロアプランの通りに配線されることを何ら保証していないため、グループ内を通過する配線が迂回してしまい、結果としてグループ間の配線長が増大する可能性が存在する。

【0006】また、従来のレイアウト設計方法では、グループを通過することを許して最短で配線できたとしても、与えられたフロアプランの質によっては一部のグループ間の配線長が長くなる場合がある。その結果として動作速度を高めることができない要因となる。

【0007】一般に、ある配線を伝播する信号の遅延時間はその配線の持つ抵抗 R と容量 C との積で表され、また配線抵抗/容量の大きさはその配線長に比例する。つまり、信号の遅延時間は配線長の2乗に比例して増加することが知られている。長い配線長を持つものについては中継バッファを挿入し、配線長を削減することによって遅延時間を削減する手法が一般に広く用いられている。この手法としては、「VLSIシステム設計 回路と実装の基礎」(中澤喜三郎著、丸善出版刊、1995、P. 224~227)に詳述されている。

【0008】しかしながら、上記の手法ではグループ内にグループ間の配線を挿入することのみが可能で、グループ内/グループ外の論理回路を修正することができない。そのため、グループ間の配線に対して中継バッファを挿入することが不可能である。

【0009】上記の各点によって、集積回路の動作速度を高めることが困難となってしまうことがあるので、従来のレイアウト設計方法では必ずしも集積回路の動作速度を高めることができないという問題がある。

【0010】そこで、本発明の目的は上記の問題点を解消し、LSI(大規模集積回路)の動作周波数を向上させることができる集積回路レイアウト設計装置及び集積回路レイアウト設計方法並びにその制御プログラムを記録した記録媒体を提供することにある。

【0011】

【課題を解決するための手段】本発明による集積回路レイアウト設計装置は、集積回路を構成する複数のグループの形状と配置とその相互間の配線とに対するフロアプランを決定する手段と、前記複数のグループ内の論理回路の配置及びその論理回路相互間の配線を当該グループで使用されていない信号配線を含めて設計する手段と、前記グループを前記フロアプランに基づいて配置しかつ前記グループ内の使用されていない信号配線を利用して前記グループ相互間を結線する手段とを備え、前記グループ内に存在する論理回路の配置配線を行う際に前記グループ内を通過する配線に配線長制約を与えるよう構成している。

【0012】本発明による集積回路レイアウト設計方法は、集積回路を構成する複数のグループの形状と配置とその相互間の配線とに対するフロアプランを決定するステップと、前記複数のグループ内の論理回路の配置及び

その論理回路相互間の配線を当該グループで使用されていない信号配線を含めて設計するステップと、前記グループを前記フロアプランに基づいて配置しかつ前記グループ内の使用されていない信号配線を利用して前記グループ相互間を結線するステップとを備え、前記グループ内に存在する論理回路の配置配線を行う際に前記グループ内を通過する配線に配線長制約を与えるようにしている。

【0013】すなわち、本発明の集積回路レイアウト設計方法は、グループ内に存在する論理回路の配置配線を行う際、グループ内を通過する配線に配線長制約を与えることによって、フロアプランの通りに配線されることを保証するため、グループ内を通過する配線の迂回を抑え、グループ間の配線長の増大を防ぐことが可能となる。

【0014】また、本発明の集積回路レイアウト設計方法は、グループ内/グループ外の論理回路を変更してグループ間の配線に対して中継バッファを挿入することによって、配線遅延を削減することが可能となるので、LSIの動作周波数を向上させることが可能となる。

【0015】

【発明の実施の形態】次に、本発明の一実施例について図面を参照して説明する。図1は本発明の一実施例によるLSIレイアウト設計装置の構成を示すブロック図である。図において、本発明の一実施例によるLSIレイアウト設計装置はフロアプラン入力/決定手段1と、グループ間配線手段2と、中継バッファ挿入手段3と、論理回路変更手段4と、グループ内論理回路配置配線手段5と、制御メモリ6とから構成されている。

【0016】フロアプラン入力/決定手段1はLSIレイアウト設計において、回路を構成するグループ間の論理接続情報と、LSIの大きさ、デザインルール、各ブロックのネットワーク(内部トランジスタ接続関係と端子の位置)等のLSIレイアウトを行う際に必要な物理ライブラリ情報と、論理集積回路を構成する複数のグループ間の接続情報と、各グループの大きさとを入力し、グループの形状、配置(フロアプラン)を決定する。

【0017】グループ間配線手段2はフロアプランにしたがって、各グループ間の配線についてグループ内領域を通過することを許して配線を行う。中継バッファ挿入手段3はグループ間の配線、グループ間配線の信号の流れを参照して中継バッファを挿入する。

【0018】論理回路変更手段4はグループ内の論理接続情報を入力して、挿入された中継バッファの情報をグループ内/グループ間の論理接続情報に追加修正する。グループ内論理回路配置配線手段5は挿入された中継バッファに対する配置位置制約を与え、さらにグループ内を通過する配線に配線長制約を与えてグループ内の論理回路の配置及び配線を行う。制御メモリ6には各手段で

実行されるプログラムが格納されており、ROM（リードオンリメモリ）やIC（集積回路）メモリ等が使用可能である。

【0019】図2及び図3は本発明の一実施例によるLSIレイアウト設計装置のレイアウト設計手順を示すフローチャートであり、図4は図1のフロアプラン入力／決定手段1によるフロアプランの例を示す図である。

【0020】また、図5は図1のグループ間配線手段2による各グループ間の配線の例を示す図であり、図6は図1の中継バッファ挿入手段3による中継バッファの挿入の例を示す図である。

【0021】さらに、図7(a)及び図7(b)は図1の中継バッファ挿入手段3による中継バッファの挿入の他の例を示す図であり、図8(a)～図8(c)は図1のグループ内論理回路配置配線手段5によるグループ内の論理回路の配置及び配線の例を示す図である。これら図1～図8を参照して本発明の一実施例によるLSIレイアウト設計装置のレイアウト設計手順について説明する。尚、図2及び図3に示す処理動作は上記の各手段が制御メモリ6のプログラムを実行することで実現される。

【0022】まず、フロアプラン入力／決定手段1はLSIの大きさ、デザインルール、各ブロックのネットワーク（内部トランジスタ接続関係と端子の位置）等のLSIレイアウトを行う時に必要な物理ライブラリ情報と、論理集積回路を構成する複数のグループ間の接続情報と、各グループの大きさとを入力する（図2ステップS1）。

【0023】その際、フロアプラン入力／決定手段1は既に決定されたフロアプランがあれば（図2ステップS2）、その既に決定されたフロアプランを入力する（図2ステップS3）。また、フロアプラン入力／決定手段1は既に決定されたフロアプランがなければ（図2ステップS2）、グループの形状及び配置を決定する（図2ステップS4）。

【0024】例えば、図4に示すように、あるLSI11のフロアプランが5つのグループA、B、C、D、Eに分けられて設定されている場合、夫々のグループA、B、C、D、E間の接続は点線によって示されている。また、図4において、矢印の本数は信号の本数を表し、矢印の向きは信号の流れを表す。

【0025】グループ間配線手段2は上述したようにフロアプラン入力／決定手段1で決定されたフロアプランにしたがって各グループA、B、C、D、E間の配線を行う（図5参照）。

【0026】グループ間配線手段2はグループ間配線13を行う場合、まずグループ間配線13の始点及び終点12を設定する（図2ステップS5）。その場合、グループ間配線13の始点及び終点12は設計者がグループ上の外周上の任意の点を指定するか、またはグループ間

配線手段2がグループの位置関係から自動的に設定する。

【0027】この後に、グループ間配線手段2はどの配線がどの経路を通るかを設定する（図2ステップS6）。この配線経路の設定はLSIレイアウトツールの配線処理を用いて決定するか、または設計者が設定するか、あるいは自動で決定された経路に対して設計者が修正を行う。

【0028】この配線経路を決定する際にはグループ内領域を通過することを許すが、グループ内を通過する配線の量によってはグループ内論理回路の配置配線を圧迫することもあるので、個々のグループA、B、C、D、Eに対して通過可能なグループ間配線本数や通過可能な配線領域、及び配線層を制約として与える。グループ間配線手段2は上記の処理を全てのグループの組合せに対して実行する（図2ステップS5～S7）。

【0029】中継バッファ挿入手段3はフロアプラン入力／決定手段1で決定されたグループ間の配線経路及びグループ間配線13の信号の流れを参照して中継バッファ14を挿入する。この場合、中継バッファ挿入手段3はグループ間配線13の配線長の制約値を設定し（図2ステップS8）、制約値以上の配線長をもつグループ間配線13に対し（図2ステップS9）、少なくとも1つ以上の中継バッファ14を挿入する（図2ステップS10）。中継バッファ挿入手段3は上記の処理を全てのグループ間配線に対して実行する（図2ステップS9～S11）。

【0030】中継バッファ14の配置位置はグループ間配線13の経路上とし、中継バッファ14を挿入することによってグループ間配線13の出力側から入力側への配線長が制約値未満になるように配置する（図6参照）。

【0031】また、グループ間配線13はグループ間配線が分岐している場合、上述した配線長制限を守る範囲で可及的に、分岐点から始点寄りに中継バッファ14を挿入し、冗長なバッファの増加を抑える（図7参照）。例えば、始点12aからの配線が分岐して終点12b、12c、12dに夫々接続される場合、図7(a)に示すように、分岐点と各終点12b、12c、12dとの間に中継バッファ14a、14b、14cを配置すると冗長な構成となるため、図7(b)に示すように、始点12aと分岐点との間に中継バッファ14dを配置して冗長なバッファの増加を抑える。

【0032】尚、上記の中継バッファ挿入手段3の手順において配線長を制約として与える代わりに、配線遅延時間を制約として与えて中継バッファ14を挿入する手法を用いても良い。具体的にはグループ間の配線経路と信号の流れとを参照し、遅延ライブラリ（中継バッファ14を通過する信号の遅延時間及びLSI11を構成する配線の単位長さ当たりの抵抗値／容量値が配線層毎に

格納されている)を入力してグループ間配線13を通過する信号の遅延時間を計算し、遅延時間が制約値を満たさない配線に対して中継バッファ14を挿入する。この技術については、「VLSIシステム設計 回路と実装の基礎」(中澤喜三郎著、丸善出版、1995、P. 224~227)に詳述されている。

【0033】論理回路修正手段4はグループ内の論理接続情報を入力し、中継バッファ挿入手段3で設定された中継バッファ14がグループ内に配置されていれば(図3ステップS12)、その中継バッファ14の情報をグループ内論理接続情報に追加して変更する(図3ステップS13)。

【0034】また、論理回路修正手段4は中継バッファ14がグループ内に配置されていなければ(図3ステップS12)、その中継バッファ14の情報をグループ間の論理接続情報に追加して変更する(図3ステップS14)。論理回路修正手段4は上記の処理を全ての接続情報の追加変更が終了するまで実行する(図3ステップS12~S15)。

【0035】グループ内論理回路配置配線手段5は、図8(a)~(c)に示すように、論理回路修正手段4で入力/変更されたグループ内の論理回路の配置及び配線を行う。グループ内論理回路配置配線手段5は論理回路の配置を行う際に、中継バッファ挿入手段3で設定された中継バッファ14の配置位置を初期配置位置とし(図3ステップS16)、初期配置位置から一定距離を超えて動かされることがないように制約を与える(図3ステップS17)。

【0036】グループ内論理回路配置配線手段5は配線を行う際に、グループ内を通過する配線の始点及び終点としてグループ間配線手段2で決定されたグループの外周上の点を用いる(図3ステップS18)。また、グループ内論理回路配置配線手段5はグループの外周上の点に接続される論理回路をその始点または終点の近傍に配置する(図3ステップS19)。

【0037】グループ内論理回路配置配線手段5はグループ内を通過する配線に対してグループ間配線手段2で決定された配線経路を初期配線経路とし、初期配線経路からの改良配線によってグループ内配線として形成する(図3ステップS20)。

【0038】その際、グループ内論理回路配置配線手段5はグループ内での配線長とグループ間配線手段2でグループ外に配線された成分との和が中継バッファ挿入手段3で設定された配線長を超えないように制約を与えて配線する(図3ステップS21)。

【0039】グループ内論理回路配置配線手段5は上記の処理を全てのグループ内配線が終了するまで実行する(図3ステップS16~S22)。また、グループ内論理回路配置配線手段5は既存のLSIレイアウトツールを使用して自動による実現が可能である。

【0040】上述した一連の処理によって、グループ内に存在する論理回路の配置配線を行う際、グループ内を通過する配線に配線長制約を与えることでフロアプランの通りに配線することを保証することができ、グループ内を通過する配線の迂回を抑え、グループ間の配線長の増大を防ぐことができる。また、グループ内/グループ外の論理回路を変更してグループ間の配線に対して中継バッファ14を挿入することによってグループ間配線13の遅延時間を削減することが可能となる。

10 【0041】このように、グループ間の配線について、グループ内を通過することを許してフロアプランを作成し、そのフロアプランに基づいてグループ内に存在する論理回路の配置配線を行う際、グループ内を通過する配線に配線長制約を与えることによって、フロアプランの通りに配線されることを保証することができ、グループ内を通過する配線の迂回を抑えて配線長の増大を防ぐことができる。

【0042】また、グループ内/グループ外の論理回路を変更してグループ間の配線に対して中継バッファ14を挿入することによって、配線遅延を削減することができる。よって、LSI11の動作周波数を向上させることができる。

【0043】

【発明の効果】以上説明したように本発明によれば、集積回路を構成する複数のグループの形状と配置とその相互間の配線とに対するフロアプランを決定し、複数のグループ内の論理回路の配置及びその論理回路相互間の配線を当該グループで使用されていない信号配線を含めて設計し、グループをフロアプランに基づいて配置しかつグループ内の使用されていない信号配線を利用してグループ相互間を結線するとともに、グループ内に存在する論理回路の配置配線を行う際にグループ内を通過する配線に配線長制約を与えることによって、LSI(大規模集積回路)の動作周波数を向上させることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例によるLSIレイアウト設計装置の構成を示すブロック図である。

40 【図2】本発明の一実施例によるLSIレイアウト設計装置のレイアウト設計手順を示すフローチャートである。

【図3】本発明の一実施例によるLSIレイアウト設計装置のレイアウト設計手順を示すフローチャートである。

【図4】図1のフロアプラン入力/決定手段によるフロアプランの例を示す図である。

【図5】図1のグループ間配線手段による各グループ間の配線の例を示す図である。

50 【図6】図1の中継バッファ挿入手段による中継バッファの挿入の例を示す図である。

【図7】(a)及び(b)は図1の中継バッファ挿入手段による中継バッファの挿入の他の例を示す図である。

【図8】(a)～(c)は図1のグループ内論理回路配置配線手段によるグループ内の論理回路の配置及び配線の例を示す図である。

【符号の説明】

- 1 フロアプラン入力/決定手段
- 2 グループ間配線手段

3 中継バッファ挿入手段

4 論理回路変更手段

5 グループ内論理回路配置配線手段

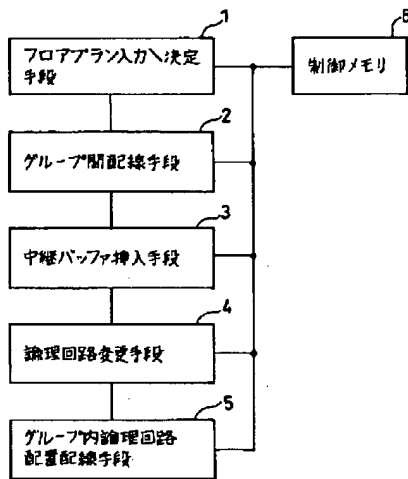
11 LSI

12, 12a～12d グループ間配線の始点及び終点

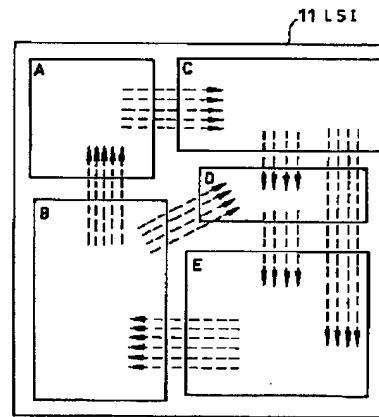
13 グループ間配線

14, 14a～14d 中継バッファ

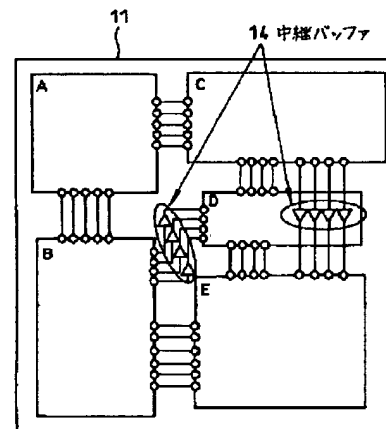
【図1】



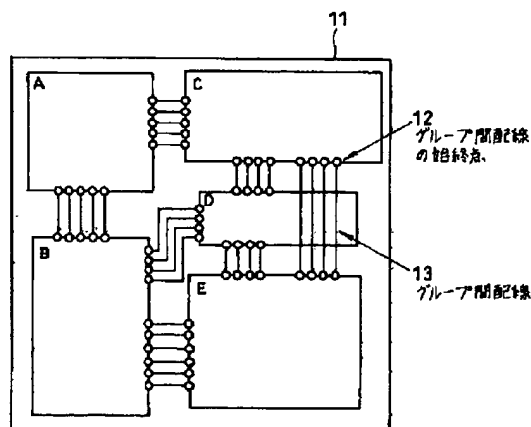
【図4】



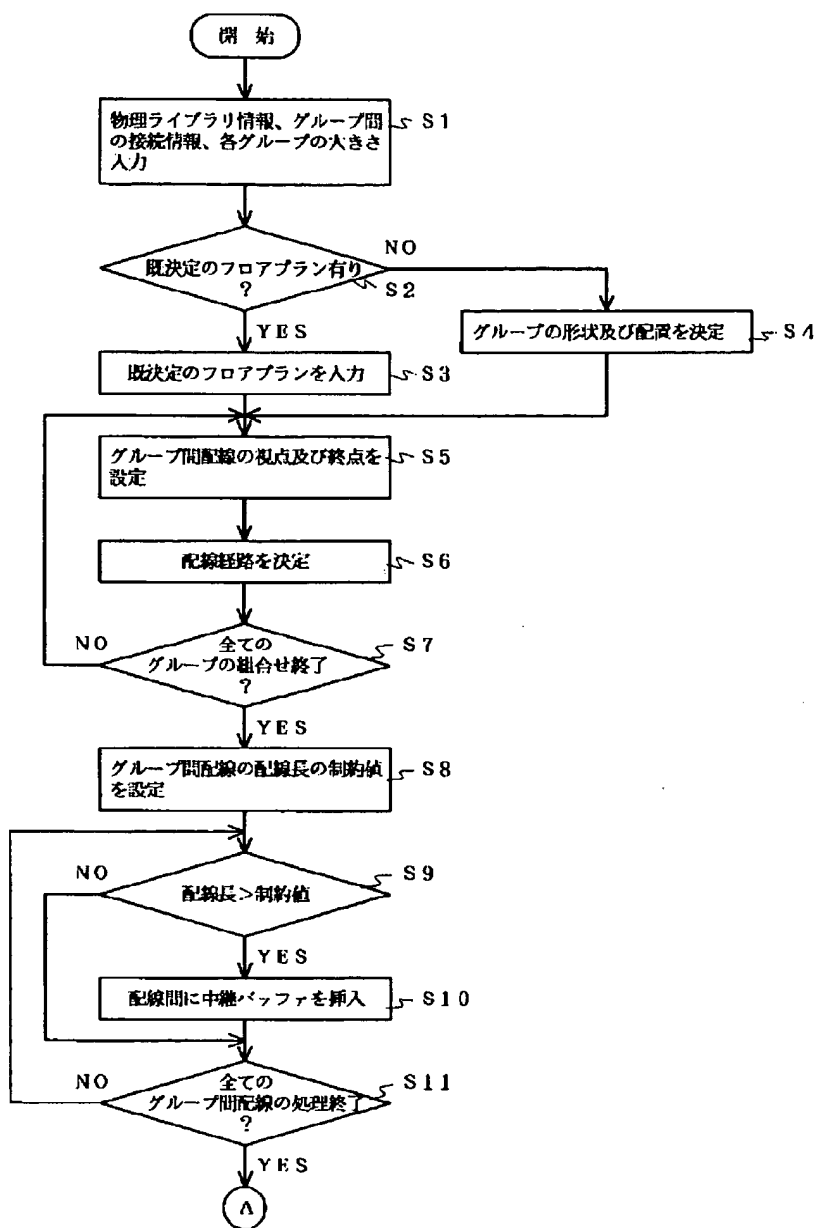
【図6】



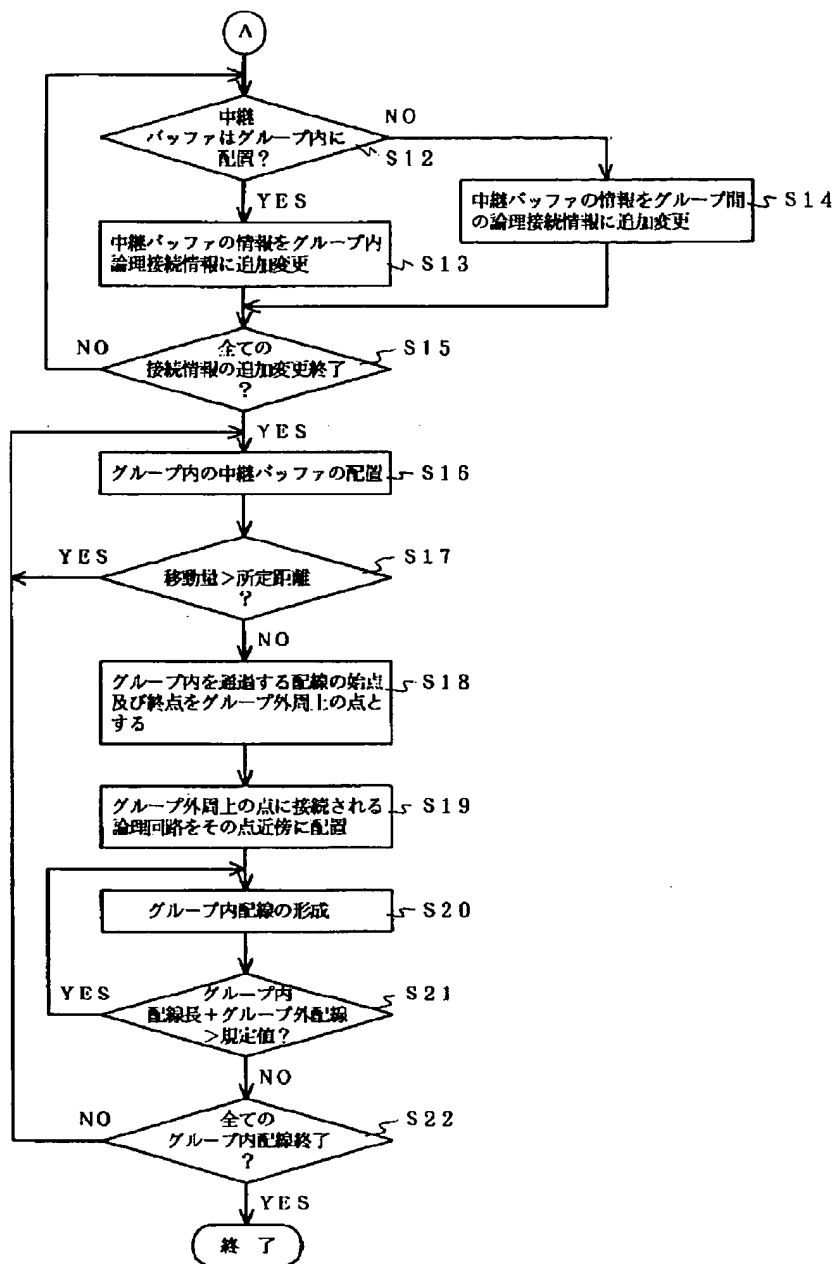
【図5】



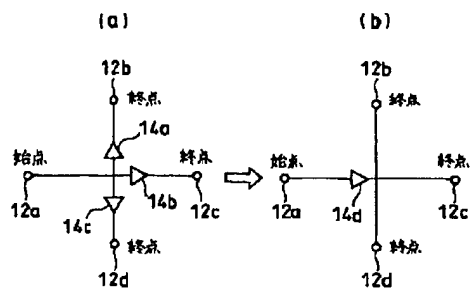
【図2】



【図3】



【図7】



【図8】

